

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-328111

(43)Date of publication of application : 30.11.1999

(51)Int.Cl.

G06F 13/42  
G06F 1/04

(21)Application number : 10-130916

(71)Applicant : CANON INC

(22)Date of filing : 14.05.1998

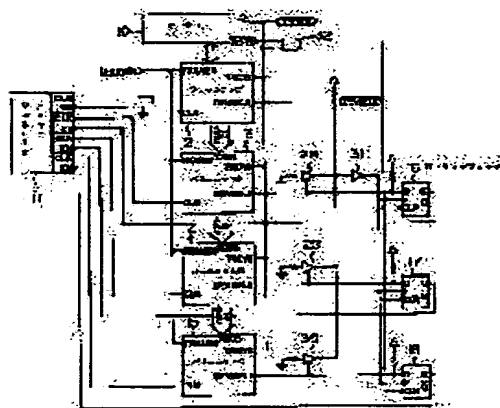
(72)Inventor : TACHIKAWA HIROHIDE

## (54) CLOCK SYNCHRONOUS TYPE BUS CIRCUIT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide constitution which saves electric power efficiently at need even when a device is in use by paying attention to the structure itself of the clock synchronous type bus circuit.

**SOLUTION:** A bridge chip 12 and bus units 13 to 15 are connected to a clock synchronous type bus and D flip-flops 16 to 18 control clock supply from a clock generator 11 to the bus units 13 to 15. The respective bus units 13 to 15 recognize whether or not they are objects of access from a latch trigger signal FRAME# and address information (AD0 to 31) to display a access state with an access recognition signal DEVSEL# according to the recognition result. This access recognition signal DEVSEL# is latched by the D flip-flops 16 to 18 in the input/output timing of the signal to control the clock supply to the bus units 13 to 15, thereby stopping clock supply to a unit which does not relate to bus cycles.



BEST AVAILABLE COPY

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**THIS PAGE BLANK (USPTO)**

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] In the clock synchronous type bus circuit which has at least three or more bus arrangement element slave units It sets independently to said each slave unit at supply, the clock generator which can be suspended, and a certain bus cycle of a bus clock. When the 1st slave unit as a bus master and the 2nd slave unit as a target carry out input/output operation on a bus, The clock synchronous type bus circuit which suspends the clock supply to the 3rd slave unit which is unrelated to the bus cycle concerned, and is characterized by consisting of the control means which controls said clock generator that the clock supply to the 3rd slave unit should be resumed again at the time of bus cycle termination.

[Claim 2] As opposed to the address information which the 1st slave unit as said bus master sent [ said control means ] out When the 2nd slave unit as one of targets reacts The clock supply to the 3rd slave unit unrelated to a bus cycle is suspended. The clock synchronous type bus circuit according to claim 1 characterized by controlling said clock generator that clock supply of DEBAISUHE which had suspended the clock when the ready signal which shows termination of the bus cycle concerned was detected should be resumed.

[Claim 3] The clock synchronous type bus circuit according to claim 1 characterized by a clock always being supplied to a slave unit with the high probability used as a bus master by said control means.

[Claim 4] The clock synchronous type bus circuit according to claim 1 characterized by identifying the slave unit from which said control means serves as a bus master based on the bus master demand signal or bus master acknowledgement signal of a unit which can serve as a bus master, and guaranteeing the continuation of clock supply to the 1st slave unit as a bus master, and the 2nd slave unit as a target among a bus cycle when the slave unit of arbitration serves as a bus master.

---

[Translation done.]

## \* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to a clock synchronous type bus circuit and the clock synchronous type bus circuit which has at least three or more bus arrangement element slack bath units especially.

[0002]

[Description of the Prior Art] Conventionally, in equipments, such as a computer, the technique in which the bus master transmittal mode performs data I/O to a various peripheral device or its various drive circuit etc. on a clock synchronous type bus is used. Generally, the bus master transmittal mode has the advantage that the load to CPU is small and ends, as compared with the so-called programmable IO method with which CPU controls a transfer.

[0003] On the other hand, it cannot be overemphasized that improvement in the further power-saving effectiveness is desired, and the efficient power-saving technique is searched for also in a clock synchronous type bus in various electronic equipment by recent years while various power-saving techniques are used.

[0004]

[Problem(s) to be Solved by the Invention] In the power-saving method of the conventional electronic circuitry, it is known that there is the big power-saving effectiveness by suspending the clock supply to a device. For example, although the method which saves electricity by suspending the clock supply to the device (or equipment whole) concerned according to the operating state of a certain device is learned, the power-saving method which paid its attention to the structure of the clock synchronous type bus circuit itself is seldom learned.

[0005] For example, by the power-saving method in the conventional clock synchronous type bus circuit, it was carrying out by detecting that access to the bus is not performed at all, i.e., no bus master is demanding access, and stopping a bus clock. Therefore, power saving was realized by making into a power-saving condition the period which has stopped the bus clock, and all the devices connected to the clock synchronous type bus all at once.

[0006] However, having considered actual bus actuation, since it was very few, the period (idle period) when no bus masters require bus access was not able to expect the effective power-saving effectiveness, even if it saved electricity only at the idle period.

[0007] Moreover, according to the above-mentioned conventional method, the devices connected to the bus and the bus are made to shift to the power-saving mode all at once. In many cases, it was equivalent to the thing of equipment made for the whole function to shift idle mostly, and when this has the problem which affects the processing engine performance and response of the equipment concerned and was said conversely, it was difficult to save electricity if needed, while using equipment.

[0008] Even if the technical problem of this invention solves the above-mentioned problem and equipment is using it if needed paying attention to the structure of the clock synchronous type bus circuit itself, it is to offer the configuration in which efficient power saving is possible.

[0009]

[Means for Solving the Problem] In order to solve the above technical problem, it sets to this invention. In the clock synchronous type bus circuit which has at least three or more bus arrangement element slack bath units It sets independently to said each bath unit at supply, the clock generator which can be suspended, and a certain bus cycle of a bus clock. When the 1st bath unit as a bus master and the 2nd bath unit as a target carry out input/output operation on a bus, The clock supply to the 3rd bath unit which is unrelated to the bus cycle concerned was suspended, and the configuration which consists of the control means which controls said clock generator that the clock supply to the 3rd bath unit should be resumed again was adopted at the

time of bus cycle termination.

[0010] Or said control means receives further the address information which the 1st bath unit as said bus master sent out. When the 2nd bath unit as one of targets reacts The clock supply to the 3rd bath unit unrelated to a bus cycle was suspended, and when the ready signal which shows termination of the bus cycle concerned was detected, the configuration which controls said clock generator that clock supply of DEBAISUHE which had suspended the clock should be resumed was adopted.

[0011] Or the configuration to which a clock is always supplied was further adopted as the bath unit with the high probability used as a bus master by said control means.

[0012] Or further, when the bath unit of arbitration became a bus master, the bath unit from which said control means serves as a bus master based on the bus master demand signal or bus master acknowledgement signal of a unit which can serve as a bus master was identified, and the configuration which guarantees the continuation of clock supply to the 1st bath unit as a bus master and the 2nd bath unit as a target was adopted among the bus cycle.

[0013]

[Embodiment of the Invention] Hereafter, this invention is explained to a detail based on the operation gestalt shown in a drawing.

[0014] In addition, by clock synchronous type bus, paying attention to even low speed TEBAISU which reacts to  $\mu$ S order from a high-speed device which reacts to ns order living together, and being connected, a clock is supplied only to TEBAISU required for actuation of each bus cycle, and electricity is saved by suspending clock supply of other DEBAISUHE by this invention. Power saving becomes possible also during bus cycle operation by this, and high power saving of effectiveness can be realized more.

[0015] (1st operation gestalt) Drawing 1 shows the configuration of the bus control circuit of the electronic equipment which adopted this invention. Especially in drawing 1, unless it refuses, signal logic shall be "L" level activity.

[0016] In drawing 1, CPU in which a sign 10 manages the main control of a computer apparatus, the clock generator with which 11 supplies a clock to a clock synchronous type bus, and 12 are bridge chips with which between synchronous buses is connected with CPU, and it becomes the bus master of a synchronous bus.

[0017] Signs 13, 14, and 15 are bath units without bus master ability, and consist of the peripheral device or its drive device of the possible arbitration of bus I/O used in a computer etc. (a LCD controller, a SCSI controller, various kinds of serials/parallel interfaces, etc.). Signs 16, 17, and 18 are D flip-flops which have a clear input.

[0018] The clock generator 11 has the clock output to each bath unit separately, and can control each of the output by EN input (however, all the clocks to each unit synchronize). That is, when EN input is in "L" condition, a clock is outputted, and when EN input is in "H" condition, a clock stops. Each clock output of a clock generator 11 is controlled by the noninverting output (Q) of D flip-flops 16-18, respectively.

[0019] The bridge chip 12 and bath units 13-15 are connected to the non-illustrated data bus and the 32-bit address bus (AD 0-31). Moreover, the bridge chip 12 and bath units 13-15 output and input synchronizing with the clock supplied from a clock generator 11.

[0020] The I/O timing of address information (AD 0-31) is shown by latch trigger signal FRAME#, and the bridge chip 12 and bath units 13-15 drive access recognition signal DEVSEL# to "L" level, when self recognizes whether it is a candidate for access and self serves as a candidate for access by decoding address information. Moreover, the bridge chip 12 and bath units 13-15 output target ready signal TRDY# at the time of bus access termination.

[0021] Moreover, while access recognition signal DEVSEL# of bath units 13-15 is inputted into D terminal (it is pull-up to "H" level) of D flip-flops 16, 17, and 18, respectively, it is combined with access recognition signal DEVSEL# of the bridge chip 12 by wired OR through the buffers 28, 29, and 30 with enabling, and this wired OR signal is led to the clocked into of D flip-flops 16, 17, and 18 through an inverter 31.

[0022] Common connection of the clearance (CLR) terminal of D flip-flops 16-18 is made at the output terminal of the AND gate 32, and this AND gate 32 inputs reset-signal RST# and target ready signal TRDY# of bath units 13-15.

[0023] Next, it explains per [ in the above-mentioned configuration ] actuation.

[0024] CPU10 has the highest frequency that serves as a bus master (initiator) in the usual computer apparatus. Therefore, this operation gestalt explains taking the case of the case where only CPU10 functions as an initiator.

[0025] When CPU10 serves as an initiator, since CPU10 the very thing does not have the interface which was adapted for the synchronous bus, the bridge chip 12 which performs conversion between CPU and a

synchronous bus is needed. Therefore, with this operation gestalt, only the bridge chip 12 will operate as a bus master.

[0026] The clock output to the bridge chip 12 from a clock generator 11 becomes always active from EN input corresponding to a clock generator 11 being fixed to the "L" condition like illustration. Thus, by always fixing actively the clock of the bridge (or probability [ as / in the 2nd below-mentioned operation gestalt ] to function such is high) chip 12 which functions as a bus master monopolistically, there is no fear of reducing processing effectiveness, and efficient bus radial transfer becomes possible.

[0027] If the bus access which makes the bridge chip 12 an initiator in this condition is started, he can know whether it is the target of bus access by latch trigger signal FRAME# of the address information (AD 0-31) to which the bridge chip 12 outputs the bath units 13-15 (A-C) which can serve as a target, and address information.

[0028] Here, if a bath unit (A) 13 is a target temporarily, a bath unit 13 recognizes that he is a target, and drives access recognition signal DEVSEL# to "L" level. Since the number of the targets accessed by coincidence is one in a synchronous bus at this time, the other bath units (B, C) 14 and 15 control DEVSEL# in the "H" condition.

[0029] Here, since it is reversed with an inverter 31 and the wired OR signal of the DEVSEL# signal of bath units 12-15 is inputted into D flip-flops 16-18 as a clock, falling of DEVSEL# can be latched to a trigger and the condition of the DEVSEL# signal of each bath units 13, 14, and 15 at that time can be latched to D flip-flops 16-18, respectively.

[0030] The latch output of each flip-flops 16, 17, and 18 at this time serves as "L" and "H" "H", respectively, and only the output of D flip-flop 16 is set to "L." Since the output of D flip-flops 16-18 is connected to the clock output enable input of a clock generator 11, the clock output to the bath units 14 and 15 which are outputting "H" from the flip-flop by this stops.

[0031] In this way, access to the bath unit (A) 13 which is a target from the bridge chip 12 which is a bus master (initiator) is started, making the bridge chip 12 and the clock of a bath unit 13 into an active state.

[0032] After I/O is completed and bus access is completed, target ready signal TRDY# is outputted from a bath unit (A) 13, it connects with the clear input of D flip-flops 16-18 through the AND gate 32, all the outputs of D flip-flops 16-18 are cleared, and this target ready signal TRDY# is set to "L" level. That is, the clock output to all the bath units 13-15 is resumed by the output of target ready signal TRDY# of the bath unit 13 at the time of bus access termination (A).

[0033] By being carried out for every bus cycle, the above sequence can supply a clock only to the bath unit which outputs and inputs in each bus cycle, and can suspend the clock supply to the other bath unit, and fine power saving of it is attained from the former.

[0034] (2nd operation gestalt) Although only the bridge chip 12 illustrated above the configuration which operates as an initiator and performs a master transfer the CPU10 side that is, when the master transfer by other bath units is performed, a configuration as shown in drawing 2 can be considered.

[0035] Hereafter, although explained per configuration of drawing 2 , in drawing 2 , it shall be, and it carries out, and the same sign shall be given to the same corresponding member as drawing 1 , and the detailed explanation shall be omitted. Moreover, drawing 3 shows the timing of the signal of each part in the configuration of drawing 2 .

[0036] In drawing 2 , a sign 12 connects between synchronous buses with CPU, and although the bridge chip which functions also as a target also as a bus master, and signs 13, 14, and 15 are bath units, in the case of this operation gestalt, these have bus master ability.

[0037] The D flip-flop in which signs 16, 17, and 18 have a clear input, the NAND gate where 19, 20, and 21 process a control signal, and 22, 23 and 24 are buffers with enabling in the AND gate and signs 25, 26, 27, 28, 29, and 30.

[0038] In the case of this operation gestalt, bath units 13-15 require the right of a bus through bus master demand signal REQ#, and output and input by waiting for bus master acknowledgement signal GNT# of the bridge chip 12. Moreover, in the case of this operation gestalt, access recognition signal DEVSEL# of bath units 13-15 is bidirectional I/O, and buffers 25, 26, 27, 28, 29, and 30 and NAND gates 19, 20, and 21 are for forming the wired OR signal for controlling the clock of D flip-flops 16-18 like [ I/O / the / bidirectional ] said operation gestalt. The input by the side of the bath unit 13-15 of NAND gates 19, 20, and 21 is reversed by Inverters 19a, 20a, and 21a.

[0039] In addition, this operation gestalt needs to always fix actively the clock output to the bridge chip 12 which performs the Arbitration of a bus master.

[0040] In drawing 2 , when CPU10 operates as an initiator, the almost same actuation as drawing 1 is performed. That is, in case the bridge chip 12 is a bus master, bus master demand signal REQ# outputted

from the other bath units 13-15 is "H" level of a non active state. Therefore, the mask of the output from each flip-flops 16-18 is not carried out at all by the AND gates 22-24, and it is transmitted to a clock generator 11 as it is.

[0041] Moreover, since neither of the bath units is demanding bus master actuation, all of bus master acknowledgement signal GNT1# - GNT3# are "H" level. One side of NAND gates 19, 20, and 21 which transmits access recognition signal DEVSEL# by this serves as "H" level. Change of access recognition signal DEVSEL# of each bath units 13-15 It is reflected in D input of D flip-flops 16-18 as it is through Inverters 19a, 20a, and 21a NAND gates 19, 20, and 21 - buffers 28, 29, and 30, and an inverter 31, and, thereby, the same actuation as the case of drawing 1 </A> is performed .

[0042] The left half part of drawing 3 shows the actuation at this time, and the bridge chip 12 has accessed the bath unit (A) 13 here. That is, when a bath unit (A) 13 makes access recognition signal DEVSEL# "L" level, it enables a buffer 28 through inverter 19a and NAND gate 19, and "L" level is latched to D flip-flop 16. moreover -- this -- the time -- a bath unit -- (-- B --) -- 14 -- a bath unit -- (-- C --) -- 15 -- access -- recognition -- a signal -- DEVSEL -- # -- " -- H" -- level -- \*\* -- carrying out -- \*\*\*\* -- a sake -- a D flip-flop -- 17 -- and -- 18 -- \*\*\*\* -- " -- H" -- level -- latching -- having -- consequently -- a bath unit -- (-- B --) -- 14 -- a bath unit -- (-- C --) -- 15 -- receiving -- a clock -- supply -- stopping -- having .

[0043] Next, in drawing 2 , it explains per actuation in case the master transfer by bus masters 13-15 other than bridge chip 12 is performed.

[0044] this -- the time -- actuation -- drawing 3 -- a right half part -- being shown -- having -- \*\*\*\* -- this -- an example -- \*\*\*\* -- a bath unit -- (-- A --) -- 13 -- from -- a bath unit -- (-- B --) -- 14 -- a master -- access - - carrying out -- having -- \*\*\*\* .

[0045] Thus, when performing the master transfer by bus masters 13-15 other than bridge chip 12, the bath unit used as a bus master activates bus master demand signal REQ# first.

[0046] for example, the drawing 3 right half part -- like -- a bath unit (A) 13 -- a REQ1# signal -- being active ("L") -- if it carries out, through the AND gate 22, "L" level of this REQ1# signal will be transmitted to a clock generator 11, and it will become active clock outputting it to a bath unit (A) 13.

[0047] and bus master acknowledgement signal GNT1# from the bridge chip 12 with which the bath unit 13 which outputted the bus master demand also has a function as a bus arbiter -- waiting and it -- being active ("L") -- if it becomes, a bus master transfer will be started.

[0048] Since access recognition signal DEVSEL# becomes an input for the bath unit 13 which operates as a bus master at this time, the buffer 25 with enabling is enabling with the GNT1# signal returned from the bridge chip 12, and the buffer 28 with enabling is disabled through NAND gate 19 at coincidence, and it is controlled so that I/O of DEVSEL# does not collide.

[0049] When the target of bus master access of a bath unit (A) 13 is a bath unit (B) 14 here, the DEVSEL# signal which a bath unit 14 outputs is inputted into back NAND gate 20 reversed by inverter 20a.

[0050] Since the bath unit 14 omits bus master actuation at this time, the GNT2# signal (un-illustrating) is in "H" condition, therefore the signal of the "L" condition is outputted from NAND gate 20. This signal is further told to the DEVSEL# terminal of the bath unit 13 which is a bus master through the buffers 29 and 25 with enabling.

[0051] Moreover, the DEVSEL# condition of each bath units 13-15 is respectively latched to flip-flops 16-18 by the signal reversed by the inverter 31 of this DEVSEL# signal.

[0052] When the target of bus master access of this example (A) 13, i.e., a bath unit, is a bath unit (B) 14, "H" level is latched to D flip-flop 18, and the clock output to a bath unit (C) 15 is suspended. In addition, as for the clock output to a bath unit 13 (A), REQ1# is guaranteed what kind of value the output of D flip-flop 16 is during an active period through the AND gate 22.

[0053] Then, after cycle termination, by outputting a TRDY# signal from a bath unit (B) 14, the output of all the flip-flops 16-18 is cleared, and serves as "L" level, and the clock output to all the bath units 13-15 is resumed.

[0054] By the above configurations, when the master transfer by bath units other than bridge chip 12 is performed, a clock can be supplied only to the bath unit which outputs and inputs in each bus cycle, the clock supply to the other bath unit can be suspended, and fine power saving is attained from the former.

[0055] As mentioned above, although two operation gestalten were shown, also in which operation gestalt, paying attention to the structure of the clock synchronous type bus circuit itself, based on the condition of the control signal of a bus, the clock supply to each bath unit [ clock generator ] is controlled, and effective power saving is attained by suspending clocks other than a bath unit required for a bus cycle.

[0056] Moreover, since the units connected to the bus in this invention are not made to shift to the power-saving mode all at once, the processing engine performance or response of equipment cannot be affected

like before, and while using equipment, electricity can be saved if needed, and useless power consumption can be avoided. Especially, according to this invention, with equipments of a dc-battery drive, such as a computer of a mobile mold, the effectiveness of extending the drive time amount by the dc-battery greatly is expectable.

[0057]

[Effect of the Invention] In the clock synchronous type bus circuit which has at least three or more bus arrangement element slack bath units according to this invention as explained above It sets independently to said each bath unit at supply, the clock generator which can be suspended, and a certain bus cycle of a bus clock. When the 1st bath unit as a bus master and the 2nd bath unit as a target carry out input/output operation on a bus, The clock supply to the 3rd bath unit which is unrelated to the bus cycle concerned is suspended. The configuration which consists of the control means which controls said clock generator that the clock supply to the 3rd bath unit should be resumed again at the time of bus cycle termination is adopted. Since the units which effective power saving is possible and were connected to the bus by suspending clocks other than a bath unit required for a bus cycle are not made to shift to the power-saving mode all at once There is outstanding effectiveness that the processing engine performance or response of equipment cannot be affected like before, and very advanced power-saving control can be performed if needed while using equipment.

[0058] As opposed to the address information which the 1st bath unit as said bus master sent [ said control means ] out especially When the 2nd bath unit as one of targets reacts The clock supply to the 3rd bath unit unrelated to a bus cycle is suspended. According to the configuration which controls said clock generator that clock supply of DEBAISUHE which had suspended the clock when the ready signal which shows termination of the bus cycle concerned was detected should be resumed Paying attention to the structure of the clock synchronous type bus circuit itself, by controlling the clock supply to each bath unit [ clock generator ] based on the condition of the control signal of a bus There is outstanding effectiveness that effective power-saving control can be performed without making the units connected to the bus like before shift to the power-saving mode all at once.

[0059] Moreover, by adopting the configuration a clock is always supplied to a bath unit with the high probability used as a bus master by said whose control means, there is no fear of reducing processing effectiveness, and there is an advantage whose efficient bus radial transfer becomes possible.

[0060] When the bath unit of arbitration serves as a bus master, further or said control means The bath unit which serves as a bus master based on the bus master demand signal or bus master acknowledgement signal of a unit which can serve as a bus master is identified. According to the configuration which guarantees the continuation of clock supply to the 1st bath unit as a bus master, and the 2nd bath unit as a target among a bus cycle By controlling the clock supply to each bath unit [ clock generator ] based on the condition of the control signal of a bus using the structure of the clock synchronous type bus circuit itself, when the bath unit of arbitration serves as a bus master There is outstanding effectiveness that effective power-saving control can be performed without making the units connected to the bus like before shift to the power-saving mode all at once.

---

[Translation done.]



**\* NOTICES \***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

[Brief Description of the Drawings]

[Drawing 1] It is a circuit diagram explaining the configuration concerning the 1st operation gestalt of the clock synchronous type bus circuit which adopted this invention.

[Drawing 2] It is a circuit diagram explaining the configuration concerning the 2nd operation gestalt of the clock synchronous type bus circuit which adopted this invention.

[Drawing 3] It is the timing-chart Fig. having shown the signal wave form of each part of the clock synchronous type bus circuit of drawing 2 .

[Description of Notations]

11 Clock Generator

12 Bridge Chip

13-15 Bath unit

16-18 D flip-flop

19-21 NAND gate

21a, 19a, 20a, 32 Inverter

25-30 Buffer

31 Inverter

32 AND Gate

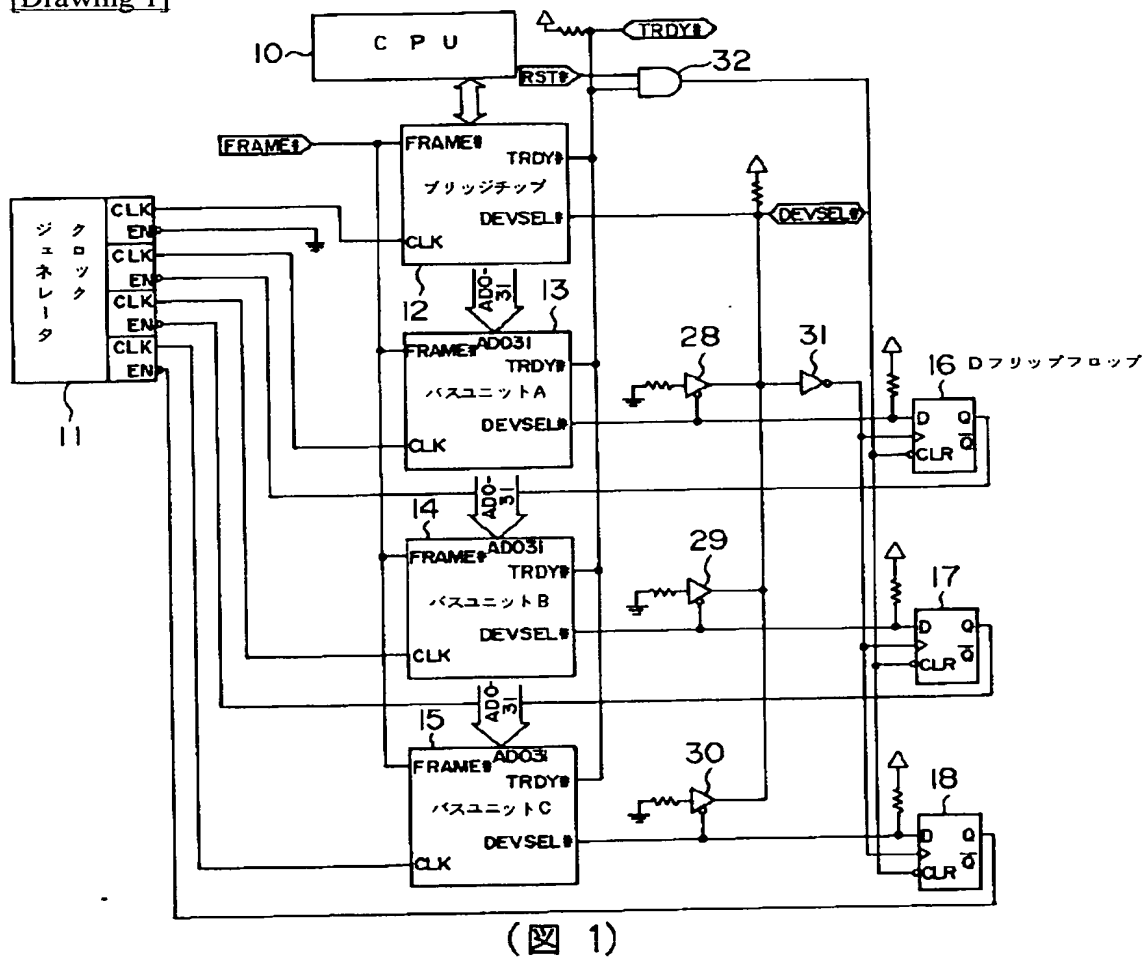
---

[Translation done.]

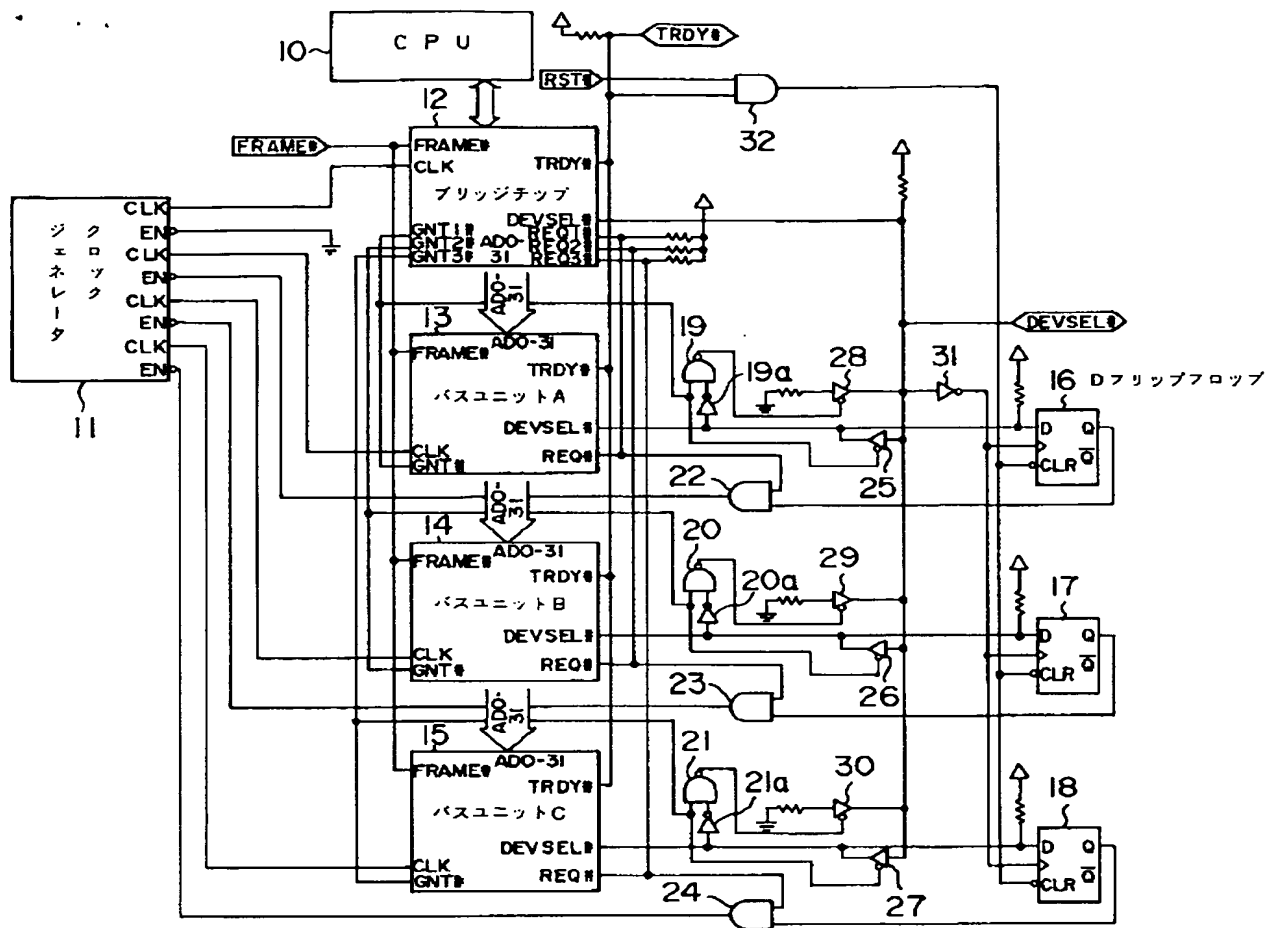
JPO and NCIPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

[Drawing 1]

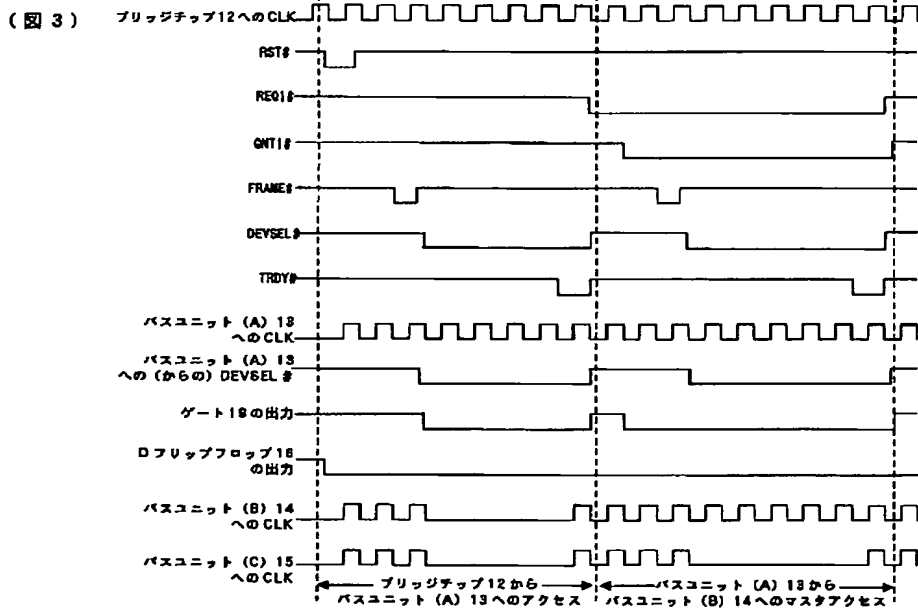


[Drawing 2]



(図 2)

[Drawing 3]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-328111

(43) 公開日 平成11年(1999)11月30日

(51) IntCl.<sup>6</sup>

G 0 6 F 13/42  
1/04

識別記号

3 4 0  
3 0 1

F I

G 0 6 F 13/42  
1/04

3 4 0 A  
3 0 1 C

審査請求 未請求 請求項の数4 O L (全 9 頁)

(21) 出願番号 特願平10-130916

(22) 出願日 平成10年(1998) 5月14日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 立川 博英

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

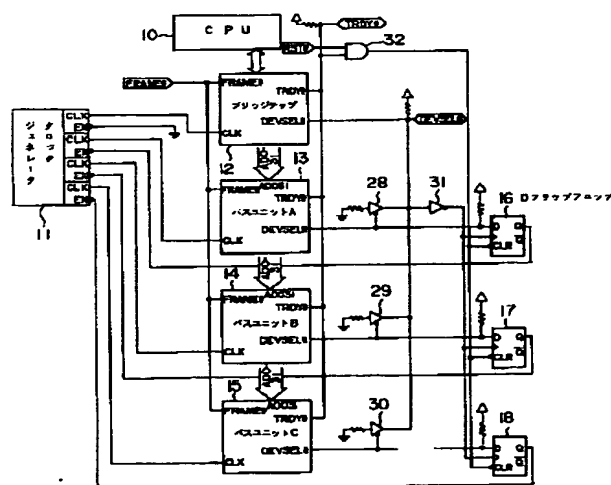
(74) 代理人 弁理士 加藤 卓

(54) 【発明の名称】 クロック同期型バス回路

(57) 【要約】

【課題】 クロック同期型バス回路そのものの構造に着目し、必要に応じて装置の使用中でも効率の良い節電が可能な構成を提供する。

【解決手段】 クロック同期型バスにブリッジチップ12、バスユニット13～15を接続し、ユニット13～15へのクロックジェネレータ11からのクロック供給をDフリップフロップ16～17により制御する。各バスユニット13～15は、ラッチトリガ信号FRAME#およびアドレス情報(AD0～31)により自己がアクセス対象か否かを認識し、これに応じてアクセス認識信号DEVSEL#によりアクセス状態を表示する。このアクセス認識信号DEVSEL#をその入出力タイミングにおいてDフリップフロップ16～17にラッチすることにより、各バスユニット13～15に対するクロック供給を制御し、バスサイクルに関連しないユニットへのクロック供給を停止する。



(図 1)

(2)

1

## 【特許請求の範囲】

【請求項1】 少なくとも3個以上のバス構成要素たるバスユニットを有するクロック同期型バス回路において、

前記各バスユニットに独立してバスクロックの供給と停止が可能なクロックジェネレータと、

あるバスサイクルにおいて、バスマスタとしての第1のバスユニットとターゲットとしての第2のバスユニットがバス上で入出力動作を実施する場合、当該バスサイクルに関係のない第3のバスユニットに対するクロック供給を停止し、バスサイクル終了時、再び第3のバスユニットに対するクロック供給を再開すべく前記クロックジェネレータを制御する制御手段から成ることを特徴とするクロック同期型バス回路。

【請求項2】 前記制御手段が、前記バスマスタとしての第1のバスユニットが送出したアドレス情報に対して、いずれかのターゲットとしての第2のバスユニットが反応した際に、バスサイクルに無関係な第3のバスユニットに対するクロック供給を停止し、当該バスサイクルの終了を示すレディ信号が検出された際にクロックを停止していたデバイスへのクロック供給を再開すべく前記クロックジェネレータを制御することを特徴とする請求項1に記載のクロック同期型バス回路。

【請求項3】 前記制御手段により、バスマスタとなる確率が高いバスユニットには常時クロックが供給されることを特徴とする請求項1に記載のクロック同期型バス回路。

【請求項4】 任意のバスユニットがバスマスタとなる場合、前記制御手段が、バスマスタとなりうるユニットのバスマスタ要求信号またはバスマスタ承認信号に基づきバスマスタとなっているバスユニットを識別し、バスサイクル中、バスマスタとしての第1のバスユニットおよびターゲットとしての第2のバスユニットに対するクロック供給の継続を保証することを特徴とする請求項1に記載のクロック同期型バス回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、クロック同期型バス回路、特に、少なくとも3個以上のバス構成要素たるバスユニットを有するクロック同期型バス回路に関するものである。

## 【0002】

【従来の技術】従来より、コンピュータなどの装置において、クロック同期型バス上で種々の周辺装置あるいはその駆動回路などに対してバスマスタ転送方式によりデータ入出力を行なう技術が用いられている。一般に、バスマスタ転送方式は、CPUが転送を制御する、いわゆるプログラマブルIO方式に比してCPUに対する負荷が小さくて済む、という利点がある。

【0003】一方で、近年では種々の電子機器におい

2

て、様々な節電技術が用いられるとともに、さらなる節電効率の向上が望まれており、クロック同期型バスにおいても効率の良い節電技術が求められているのはいうまでもない。

## 【0004】

【発明が解決しようとする課題】従来の電子回路の節電方式においては、デバイスに対するクロック供給を停止することで大きな節電効果があることが知られている。たとえば、あるデバイスの動作状態に応じて当該デバイス（あるいは装置全体）に対するクロック供給を停止して節電を行なう方式が知られているが、クロック同期型バス回路そのものの構造に着目した節電方式はあまり知られていない。

【0005】たとえば、従来のクロック同期型バス回路における節電方式では、そのバスに対するアクセスが全く行われていないこと、即ち、どのバスマスタもアクセスを要求していないことを検知して、バスクロックを停止することで実施していた。従ってバスクロックを停止している期間、クロック同期型バスに接続されている全デバイスを一斉に節電状態とすることで節電を実現していた。

【0006】しかし、実際のバス動作を考えると、全てのバスマスタがバスアクセスを要求しない期間（アイドル期間）というのは非常に少ないため、アイドル期間にのみ節電を実施しても効果的な節電効果を期待することができなかった。

【0007】また、上記の従来方式によると、バスおよびバスに接続されたデバイスを一斉に節電モードに移行させることになる。これは、多くの場合、装置のほぼ全体の機能を休眠状態に移行させることと等価であり、当該装置の処理性能やレスポンスに影響を与える問題があり、逆に言えば装置の使用中に必要に応じて節電を行なうことが困難であった。

【0008】本発明の課題は、上記の問題を解決し、クロック同期型バス回路そのものの構造に着目し、必要に応じて装置の使用中でも効率の良い節電が可能な構成を提供することにある。

## 【0009】

【課題を解決するための手段】以上の課題を解決するために、本発明においては、少なくとも3個以上のバス構成要素たるバスユニットを有するクロック同期型バス回路において、前記各バスユニットに独立してバスクロックの供給と停止が可能なクロックジェネレータと、あるバスサイクルにおいて、バスマスタとしての第1のバスユニットとターゲットとしての第2のバスユニットがバス上で入出力動作を実施する場合、当該バスサイクルに関係のない第3のバスユニットに対するクロック供給を停止し、バスサイクル終了時、再び第3のバスユニットに対するクロック供給を再開すべく前記クロックジェネレータを制御する制御手段から成る構成を採用した。

50

(3)

3

【0010】あるいはさらに、前記制御手段が、前記バスマスタとしての第1のバスユニットが送出したアドレス情報に対して、いずれかのターゲットとしての第2のバスユニットが反応した際に、バスサイクルに無関係な第3のバスユニットに対するクロック供給を停止し、当該バスサイクルの終了を示すレディ信号が検出された際にクロックを停止していたデバイスへのクロック供給を再開すべく前記クロックジェネレータを制御する構成を採用した。

【0011】あるいはさらに、前記制御手段により、バスマスタとなる確率が高いバスユニットには常時クロックが供給される構成を採用した。

【0012】あるいはさらに、任意のバスユニットがバスマスタとなる場合、前記制御手段が、バスマスタとなりうるユニットのバスマスタ要求信号またはバスマスタ承認信号に基づきバスマスタとなっているバスユニットを識別し、バスサイクル中、バスマスタとしての第1のバスユニットおよびターゲットとしての第2のバスユニットに対するクロック供給の継続を保証する構成を採用した。

【0013】

【発明の実施の形態】以下、図面に示す実施形態に基づき本発明を詳細に説明する。

【0014】なお、本発明では、クロック同期型バスでは、nsオーダーで反応するような高速なデバイスからμsオーダーで反応するような低速なデバイスまでが共存して接続されていることに着目し、各バスサイクルの動作に必要なデバイスだけにクロックを供給し、その他のデバイスへのクロック供給を停止することで節電を行なう。これによりバスサイクル実施中にも節電が可能となり、より効率の高い節電を実現できるものである。

【0015】（第1の実施形態）図1は本発明を採用した電子機器のバス制御回路の構成を示したものである。図1では特に示されない限り信号論理は“L”レベル能動であるものとする。

【0016】図1において符号10はコンピュータ装置の主制御を司るCPU、11はクロック同期型バスにクロックを供給するクロックジェネレータ、12はCPUと同期型バスの間を接続し同期型バスのバスマスタとなるブリッジチップである。

【0017】符号13、14、15はバスマスタ機能を持たないバスユニットで、コンピュータなどにおいて用いられるバスへ出力の可能な任意の周辺装置あるいはその駆動デバイスから構成される（LCDコントローラ、SCSIコントローラ、各種のシリアル/パラレルインターフェースなど）。符号16、17、18はクリア入力を有するDフリップフロップである。

【0018】クロックジェネレータ11は、各々のバスユニットに対するクロック出力を別々に有しており、そのそれぞれの出力をEN入力によって制御できる（た

4

し各ユニットへのクロックは全て同期している）。即ちEN入力が“L”状態の時クロックが出力され、EN入力が“H”状態の時クロックは停止される。クロックジェネレータ11の個々のクロック出力はDフリップフロップ16～18の非反転出力（Q）によりそれぞれ制御される。

【0019】ブリッジチップ12、バスユニット13～15は不図示のデータバス、および32ビットのアドレスバス（AD0～31）に接続されている。また、ブリッジチップ12、バスユニット13～15はクロックジェネレータ11から供給されるクロックに同期して入出力を行なう。

【0020】アドレス情報（AD0～31）の入出力タイミングはラッチトリガ信号FRAME#により示され、ブリッジチップ12、バスユニット13～15はアドレス情報をデコードすることにより自己がアクセス対象か否かを認識し、自己がアクセス対象となっている場合はアクセス認識信号DEVSEL#を“L”レベルにドライブする。また、ブリッジチップ12、バスユニット13～15はバスアクセス終了時には、ターゲットレディ信号TRDY#を出力する。

【0021】また、バスユニット13～15のアクセス認識信号DEVSEL#はそれぞれDフリップフロップ16、17、18のD端子（“H”レベルにプルアップ）に入力されるとともに、イネーブル付きのパッファ28、29、30を介してワイヤードORでブリッジチップ12のアクセス認識信号DEVSEL#と結合されており、このワイヤードOR信号はインバータ31を介してDフリップフロップ16、17、18のクロック入

力に導かれる。

【0022】Dフリップフロップ16～18のクリア（CLR）端子はANDゲート32の出力端子に共通接続され、このANDゲート32はリセット信号RST#およびバスユニット13～15のターゲットレディ信号TRDY#を入力する。

【0023】次に上記構成における動作につき説明する。

【0024】通常のコンピュータ装置においてバスマスタ（イニシエータ）となる頻度が最も高いのはCPU10である。従って、本実施形態ではCPU10のみがイニシエータとして機能する場合を例にとって説明を行う。

【0025】CPU10がイニシエータとなる場合、CPU10自体は同期型バスに適応したインターフェースを持たないため、CPUと同期型バス間の変換を行うブリッジチップ12が必要となる。従って、本実施形態ではブリッジチップ12だけがバスマスタとして動作することになる。

【0026】クロックジェネレータ11からブリッジチップ12へのクロック出力は、図示のようにクロックジ

50

(4)

5

エネレータ11に対応するEN入力が”L”状態に固定されていることから常時アクティブとなる。このように、独占的にバスマスタとして機能する(あるいは後述の第2の実施形態におけるようにそのように機能する確率が高い)ブリッジチップ12のクロックを常時アクティブに固定しておくことにより、処理効率を低下させる心配が無く、高効率なバス入出力処理が可能となる。

【0027】この状態でブリッジチップ12をイニシエータとするバスアクセスが開始されると、ターゲットとなり得るバスユニット13~15(A~C)はブリッジチップ12が出力するアドレス情報(AD0~31)と、アドレス情報のラッチトリガ信号FRAME#によって、自分がバスアクセスのターゲットか否かを知ることができる。

【0028】ここで、仮にバスユニット(A)13がターゲットであるとすれば、バスユニット13は自分がターゲットであることを認識し、アクセス認識信号DEVSEL#を”L”レベルにドライブする。このとき、同期型バスにおいて、同時にアクセスされるターゲットは一つだけであるため、その他のバスユニット(B、C)14、15はDEVSEL#を”H”状態に制御する。

【0029】ここで、バスユニット12~15のDEVSEL#信号のワイヤードOR信号がインバータ31で反転されDフリップフロップ16~18にクロックとして入力されているので、DEVSEL#の立ち下がりトリガにその時の各バスユニット13、14、15のDEVSEL#信号の状態をDフリップフロップ16~18にそれぞれラッチすることができる。

【0030】この時の各フリップフロップ16、17、18のラッチ出力はそれぞれ”L”、”H”、”H”となり、Dフリップフロップ16の出力だけが”L”となる。Dフリップフロップ16~18の出力は、クロックジェネレータ11のクロック出力イネーブル入力に接続されているため、これによりフリップフロップから”H”を出力しているバスユニット14および15に対するクロック出力は停止される。

【0031】こうして、バスマスタ(イニシエータ)であるブリッジチップ12から、ターゲットであるバスユニット(A)13へのアクセスが、ブリッジチップ12とバスユニット13のクロックをアクティブ状態としたまま開始される。

【0032】入出力が終了し、バスアクセスが終了すると、バスユニット(A)13からターゲットレディ信号TRDY#が出力され、このターゲットレディ信号TRDY#はANDゲート32を介してDフリップフロップ16~18のクリア入力に接続され、Dフリップフロップ16~18の全ての出力がクリアされ”L”レベルとなる。すなわち、バスアクセス終了時のバスユニット

(A)13のターゲットレディ信号TRDY#の出力により全バスユニット13~15へのクロック出力が再開

6

される。

【0033】以上のシーケンスがバスサイクル毎に行われることで、各バスサイクルにおいて入出力を行なうバスユニットにのみクロックを供給し、それ以外のバスユニットに対するクロック供給を停止することができ、従来よりもきめ細かい節電が可能となる。

【0034】(第2の実施形態)以上では、CPU10側、つまりブリッジチップ12のみがイニシエータとして動作しマスタ転送を行なう構成を例示したが、他のバスユニットによるマスタ転送が行われる場合には図2に示すような構成が考えられる。

【0035】以下、図2の構成につき説明するが、図2では、図1と同一ないし相当する部材には同一符号を付してあり、その詳細な説明は省略するものとする。また、図3は図2の構成における各部の信号のタイミングを示したものである。

【0036】図2において、符号12はCPUと同期型バスの間を接続し、バスマスタとしてもターゲットとしても機能するブリッジチップ、符号13、14、15はバスユニットであるが、これらは本実施形態の場合バスマスタ機能を有する。

【0037】符号16、17、18はクリア入力を有するDフリップフロップ、19、20、21は制御信号の処理を行うNANDゲート、22、23、24はANDゲート、符号25、26、27、28、29、30はイネーブル付きのパッファである。

【0038】本実施形態の場合、バスユニット13~15は、バスマスタ要求信号REQ#を介してバスの権利を要求し、ブリッジチップ12のバスマスタ承認信号GNT#を待って入出力を行なう。また、本実施形態の場合、バスユニット13~15のアクセス認識信号DEVSEL#は双方向入出力であり、パッファ25、26、27、28、29、30、およびNANDゲート19、20、21はその双方向入出力について前記実施形態同様にDフリップフロップ16~18のクロックを制御するためのワイヤードOR信号を形成するためのものである。NANDゲート19、20、21のバスユニット13~15側の入力はインバータ19a、20a、21aにより反転されている。

【0039】なお、本実施形態は、バスマスタのアービトレーションを行なうブリッジチップ12へのクロック出力を常時アクティブに固定しておくことが必要である。

【0040】図2において、CPU10がイニシエータとして動作する場合は、図1とほぼ同様の動作が行なわれる。すなわち、ブリッジチップ12がバスマスタの際は、その他のバスユニット13~15から出力されるバスマスタ要求信号REQ#はノンアクティブ状態の”H”レベルである。したがって、各フリップフロップ16~18からの出力はANDゲート22~24により何

(5)

7

らマスクされることはなく、そのままクロックジェネレータ11に伝達される。

【0041】また、いずれのバスユニットもバスマスタ動作を要求していないためバスマスタ承認信号GNT1#～GNT3#はいずれも”H”レベルであり、これによりアクセス認識信号DEVSEL#を伝達するNANDゲート19、20、21の片側は”H”レベルとなっており、各バスユニット13～15のアクセス認識信号DEVSEL#の変化は、インバータ19a、20a、21a～NANDゲート19、20、21～バッファ28、29、30およびインバータ31を介してDフリップフロップ16～18のD入力にそのまま反映され、これにより図1の場合と同様の動作が行われる。

【0042】図3の左半部はこの時の動作を示しており、ここではブリッジチップ12がバスユニット(A)13にアクセスしている。すなわち、バスユニット(A)13がアクセス認識信号DEVSEL#を”L”レベルとすると、インバータ19a、NANDゲート19を介してバッファ28がイネーブルされ、Dフリップフロップ16に”L”レベルがラッチされる。また、この時、バスユニット(B)14、バスユニット(C)15はアクセス認識信号DEVSEL#を”H”レベルとしているためにDフリップフロップ17および18には”H”レベルがラッチされ、この結果、バスユニット(B)14、バスユニット(C)15に対するクロック供給が停止される。

【0043】次に、図2において、ブリッジチップ12以外のバスマスタ13～15によるマスタ転送が行われる場合の動作につき説明する。

【0044】この時の動作は、図3の右半部に示されており、この例ではバスユニット(A)13からバスユニット(B)14へのマスタアクセスが行なわれている。

【0045】このように、ブリッジチップ12以外のバスマスタ13～15によるマスタ転送を行なう場合、バスマスタとなるバスユニットは先ずバスマスタ要求信号REQ#をアクティブにする。

【0046】たとえば、図3右半部のように、バスユニット(A)13がREQ1#信号をアクティブ(”L”)にすると、ANDゲート22を介してこのREQ1#信号の”L”レベルがクロックジェネレータ11に伝達され、バスユニット(A)13に対するクロック出力がアクティブとなる。

【0047】そして、バスマスタ要求を出力したバスユニット13は、バスアービタとしての機能も有するブリッジチップ12からのバスマスタ承認信号GNT1#を待ち、それがアクティブ(”L”)になるとバスマスタ転送を開始する。

【0048】この時、バスマスタとして動作するバスユニット13にとってアクセス認識信号DEVSEL#は入力となるため、ブリッジチップ12より返されたGN

8

T1#信号によりイネーブル付きバッファ25がイネーブルとなり、また、同時にNANDゲート19を介してイネーブル付きバッファ28がディセーブルとなり、DEVSEL#の入出力が衝突しないように制御される。

【0049】ここでバスユニット(A)13のバスマスタアクセスのターゲットがバスユニット(B)14である場合、バスユニット14が出力するDEVSEL#信号は、インバータ20aにより反転された後NANDゲート20に入力される。

10 【0050】この時、バスユニット14はバスマスタ動作を行っていないため、GNT2#信号(不図示)は”H”状態となっており、したがって、NANDゲート20からは”L”状態の信号が出力される。この信号は、さらにイネーブル付きバッファ29、および25を介してバスマスタであるバスユニット13のDEVSEL#端子に伝えられる。

【0051】また、このDEVSEL#信号のインバータ31により反転された信号によって各バスユニット13～15のDEVSEL#状態が各々フリップフロップ16～18にラッチされる。

20 【0052】この例、つまりバスユニット(A)13のバスマスタアクセスのターゲットがバスユニット(B)14である場合は、Dフリップフロップ18には”H”レベルがラッチされ、バスユニット(C)15に対するクロック出力が停止される。なお、バスユニット13

(A)に対するクロック出力は、ANDゲート22を介して、REQ1#がアクティブである期間の間、Dフリップフロップ16の出力がどのような値であろうと保証される。

30 【0053】その後、サイクル終了後、TRDY#信号がバスユニット(B)14から出力されることにより、全フリップフロップ16～18の出力はクリアされ”L”レベルとなり、全バスユニット13～15へのクロック出力が再開される。

【0054】以上のような構成により、ブリッジチップ12以外のバスユニットによるマスタ転送が行われる場合においても、各バスサイクルにおいて入出力を行なうバスユニットにのみクロックを供給し、それ以外のバスユニットに対するクロック供給を停止することができ、

40 従来よりもきめ細かい節電が可能となる。  
【0055】以上、2つの実施形態を示したが、いずれの実施形態においても、クロック同期型バス回路そのものの構造に着目し、バスの制御信号の状態に基づきクロックジェネレータから個々のバスユニットへのクロック供給を制御し、バスサイクルに必要なバスユニット以外のクロックを停止することにより効果的な節電が可能になる。

【0056】また、本発明ではバスに接続されたユニットを一斉に節電モードに移行させることがないので、従来のように装置の処理性能やレスポンスに影響を与える

50



(6)

9

ことがなく、装置の使用中に必要に応じて節電を行なうことができ、無駄な電力消費を回避できる。特に、本発明によれば、モバイル型のコンピュータなどバッテリー駆動の装置では、バッテリーによる駆動時間を大きく延長する効果を期待できる。

【0057】

【発明の効果】以上説明したように、本発明によれば、少なくとも3個以上のバス構成要素たるバスユニットを有するクロック同期型バス回路において、前記各バスユニットに独立してバスクロックの供給と停止が可能なクロックジェネレータと、あるバスサイクルにおいて、バスマスタとしての第1のバスユニットとターゲットとしての第2のバスユニットがバス上で入出力動作を実施する場合、当該バスサイクルに関係のない第3のバスユニットに対するクロック供給を停止し、バスサイクル終了時、再び第3のバスユニットに対するクロック供給を再開すべく前記クロックジェネレータを制御する制御手段から成る構成を採用しており、バスサイクルに必要なバスユニット以外のクロックを停止することにより効果的な節電が可能であり、また、バスに接続されたユニットを一斉に節電モードに移行させることがないので、従来のように装置の処理性能やレスポンスに影響を与えることがなく、装置の使用中に必要に応じて非常に高度な節電制御を行なうことができる、という優れた効果がある。

【0058】特に、前記制御手段が、前記バスマスタとしての第1のバスユニットが送出したアドレス情報に対して、いずれかのターゲットとしての第2のバスユニットが反応した際に、バスサイクルに無関係な第3のバスユニットに対するクロック供給を停止し、当該バスサイクルの終了を示すエンディ信号が検出された際にクロックを停止していたデバイスへのクロック供給を再開すべく前記クロックジェネレータを制御する構成によれば、クロック同期型バス回路そのものの構造に着目し、バスの制御信号の状態に基づきクロックジェネレータから個々のバスユニットへのクロック供給を制御することにより、従来のようにバスに接続されたユニットを一斉に節電モードに移行させることなく、効果的な節電制御を行

10

なうことができる、という優れた効果がある。

【0059】また、前記制御手段により、バスマスタとなる確率が高いバスユニットに常時クロックが供給される構成を採用することにより、処理効率を低下させる心配が無く、高効率なバス入出力処理が可能となる利点がある。

【0060】あるいはさらに、任意のバスユニットがバスマスタとなる場合、前記制御手段が、バスマスタとなりうるユニットのバスマスタ要求信号またはバスマスタ承認信号に基づきバスマスタとなっているバスユニットを識別し、バスサイクル中、バスマスタとしての第1のバスユニットおよびターゲットとしての第2のバスユニットに対するクロック供給の継続を保証する構成によれば、任意のバスユニットがバスマスタとなる場合においてもクロック同期型バス回路そのものの構造を利用してバスの制御信号の状態に基づきクロックジェネレータから個々のバスユニットへのクロック供給を制御することにより、従来のようにバスに接続されたユニットを一斉に節電モードに移行させることなく効果的な節電制御を行なうことができる、という優れた効果がある。

【図面の簡単な説明】

【図1】本発明を採用したクロック同期型バス回路の第1の実施形態に係わる構成を説明する回路図である。

【図2】本発明を採用したクロック同期型バス回路の第2の実施形態に係わる構成を説明する回路図である。

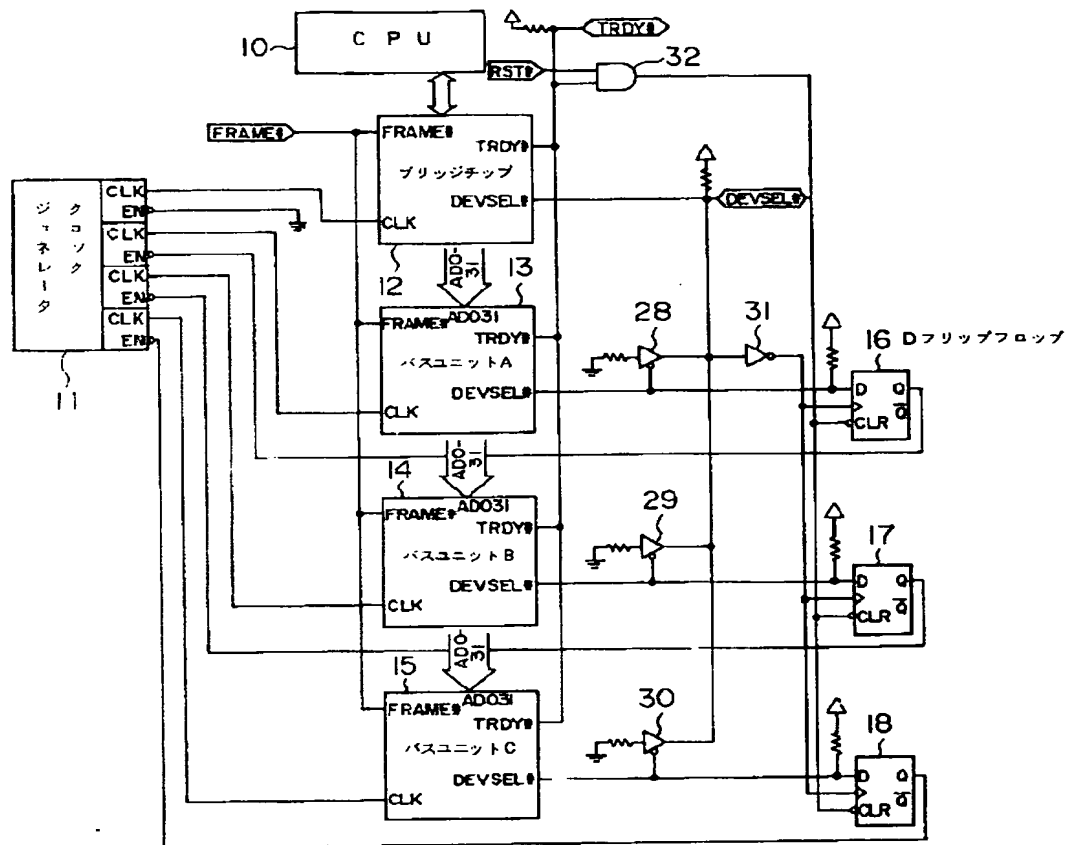
【図3】図2のクロック同期型バス回路の各部の信号波形を示したタイミングチャート図である。

【符号の説明】

- 11 クロックジェネレータ
- 12 ブリッジチップ
- 13～15 バスユニット
- 16～18 Dフリップフロップ
- 19～21 NANDゲート
- 21a、19a、20a、32 インバータ
- 25～30 バッファ
- 31 インバータ
- 32 ANDゲート

(7)

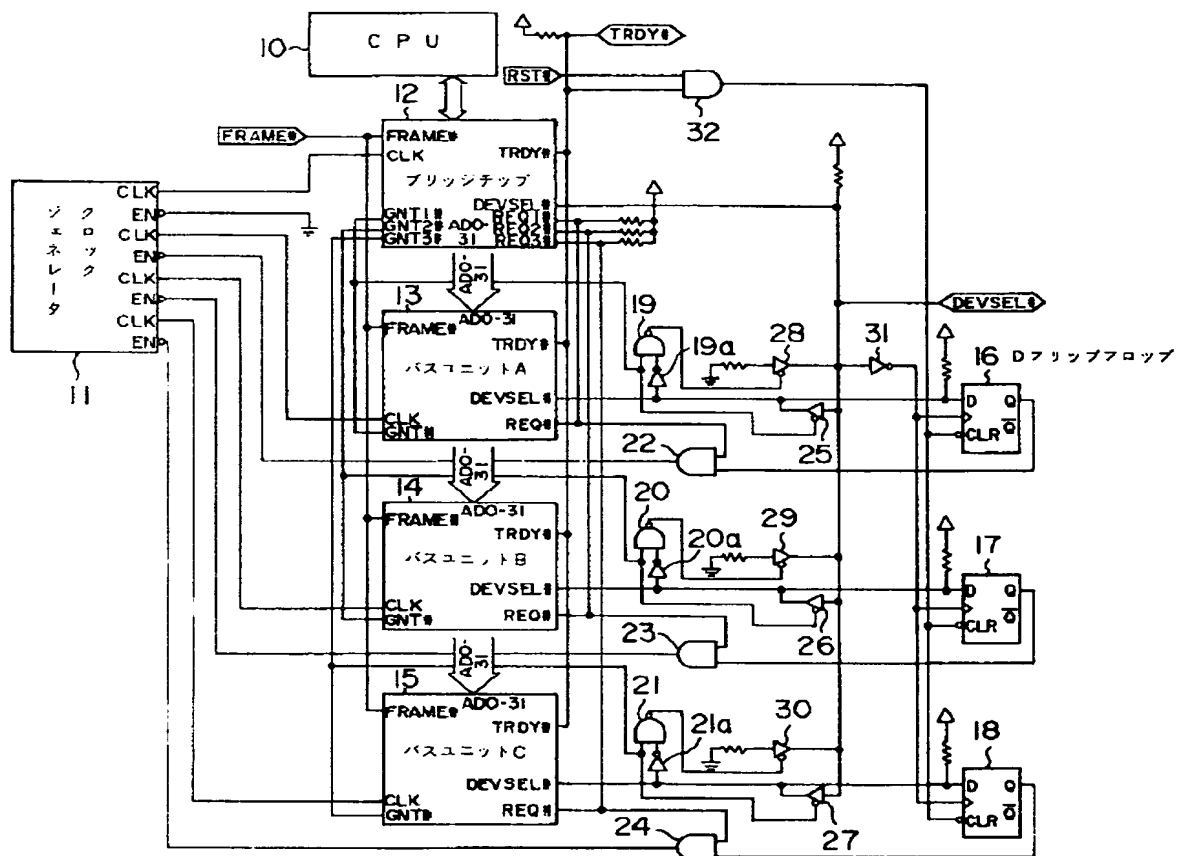
【図1】



(図 1)

(8)

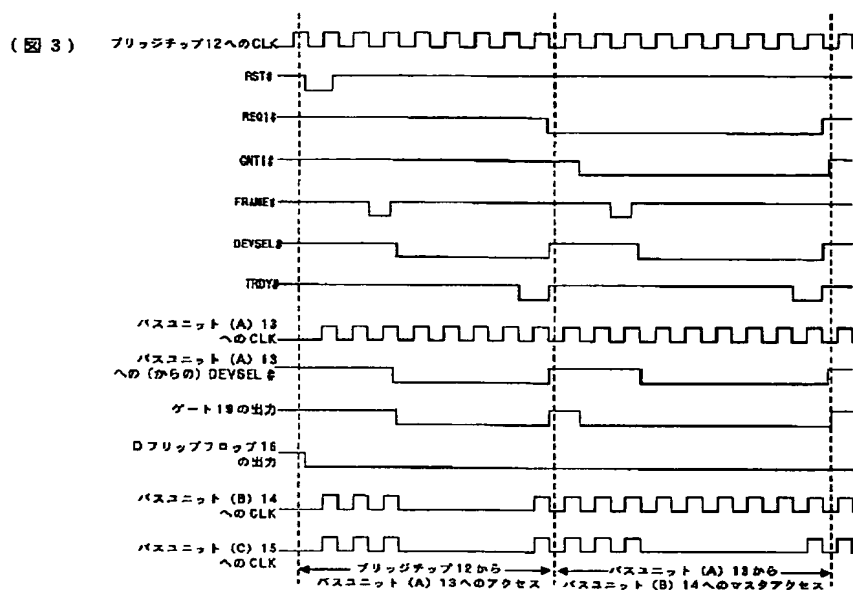
【図 2】



(☒ 2)

(9)

【図3】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**